

به نام خدا



موسسه آموزش عالی روزبه

موسسه آموزش عالی روزبه زنجان

طراحی کامپیوتری سیستم های دیجیتال

برای دانشجویان رشته مهندسی کامپیوتر

جلسه دوم

مهندس امین رجایی

کارشناسی ارشد مهندسی برق

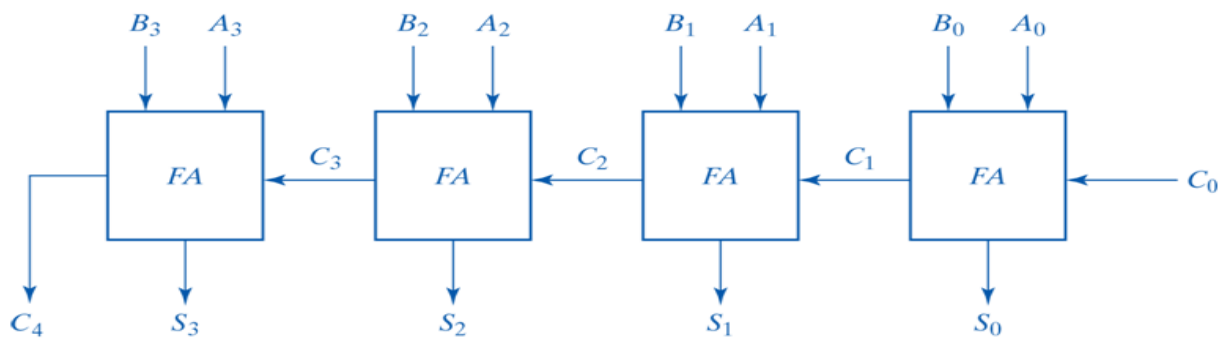
اسفند ماه ۱۳۹۹

سوال ها و اشکالات درسی را از طریق ایمیل زیر و یا از طریق گروه واتساپ حتما مطرح نمایید.

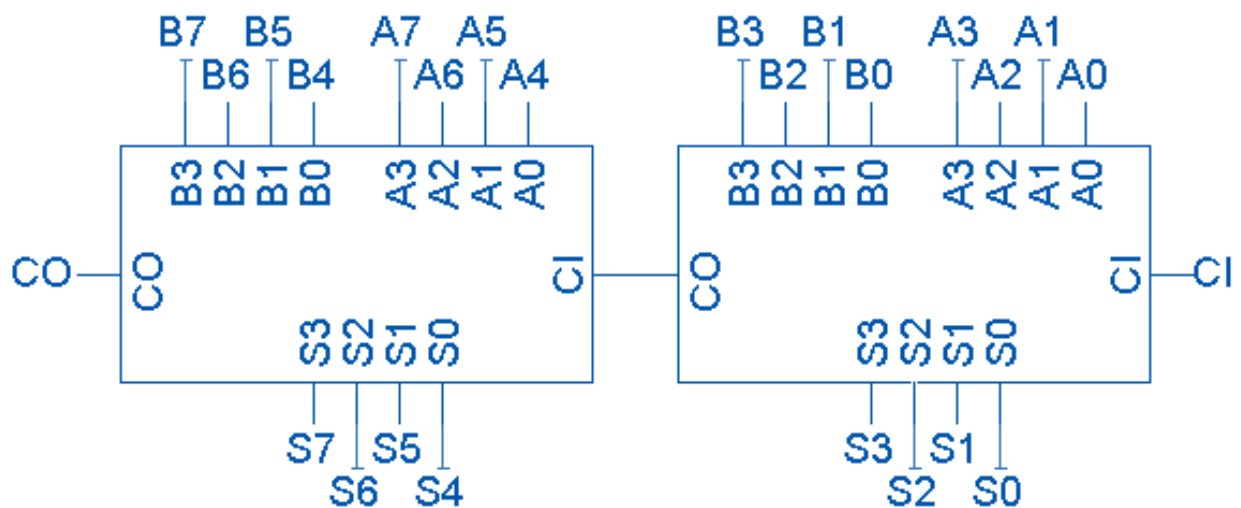
[amin.rajaei@hotmail.com](mailto:amin.rajaei@hotmail.com)

بررسی جمع کننده ۴ بیتی:

با قرار دادن ۴، full adder به دنبال هم همانند شکل زیر می توان یک full adder چهار بیتی طراحی کرد.

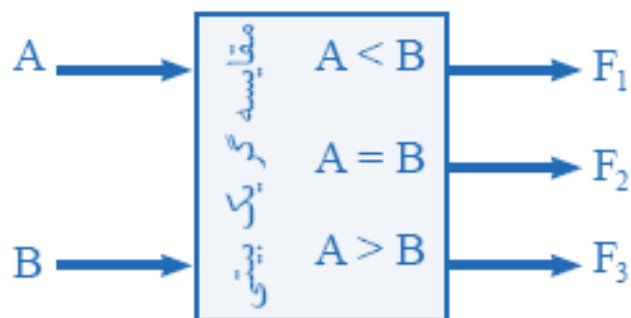


بررسی ساخت یک جمع کننده ۸ بیتی توسط جمع کننده های ۴ بیتی:

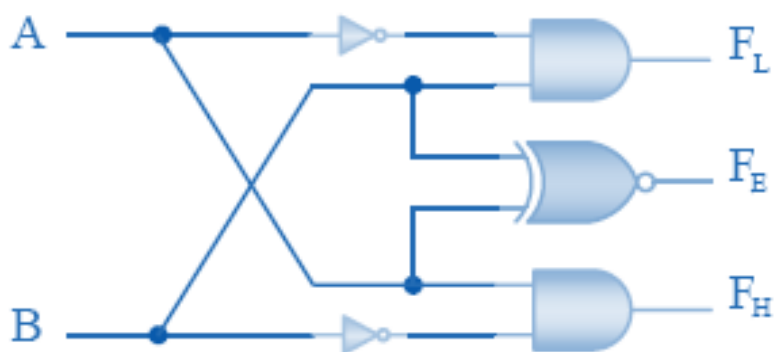


[illegible]

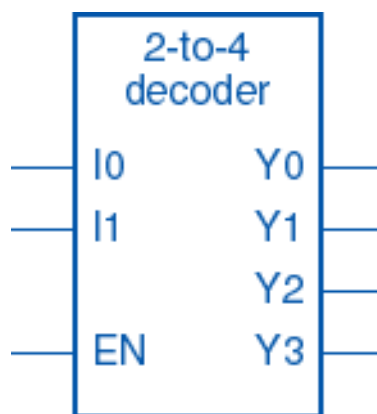
بررسی یک مقایسه کننده تک بیتی:



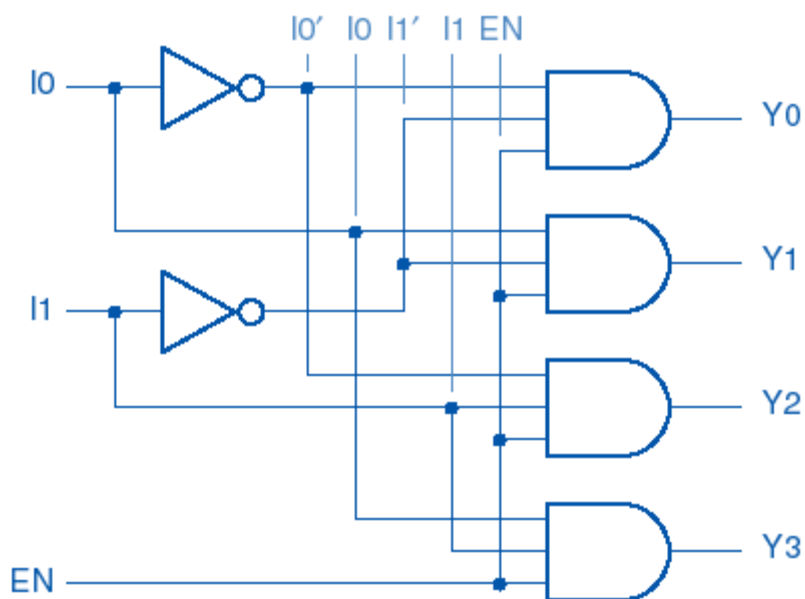
A	B	$F_1$ $A < B$	$F_2$ $A = B$	$F_3$ $A > B$
0	0	0	1	0
0	1	1	0	0
1	0	0	0	1
1	1	0	1	0



## بررسی دکودر ۲ به ۴ باینری:

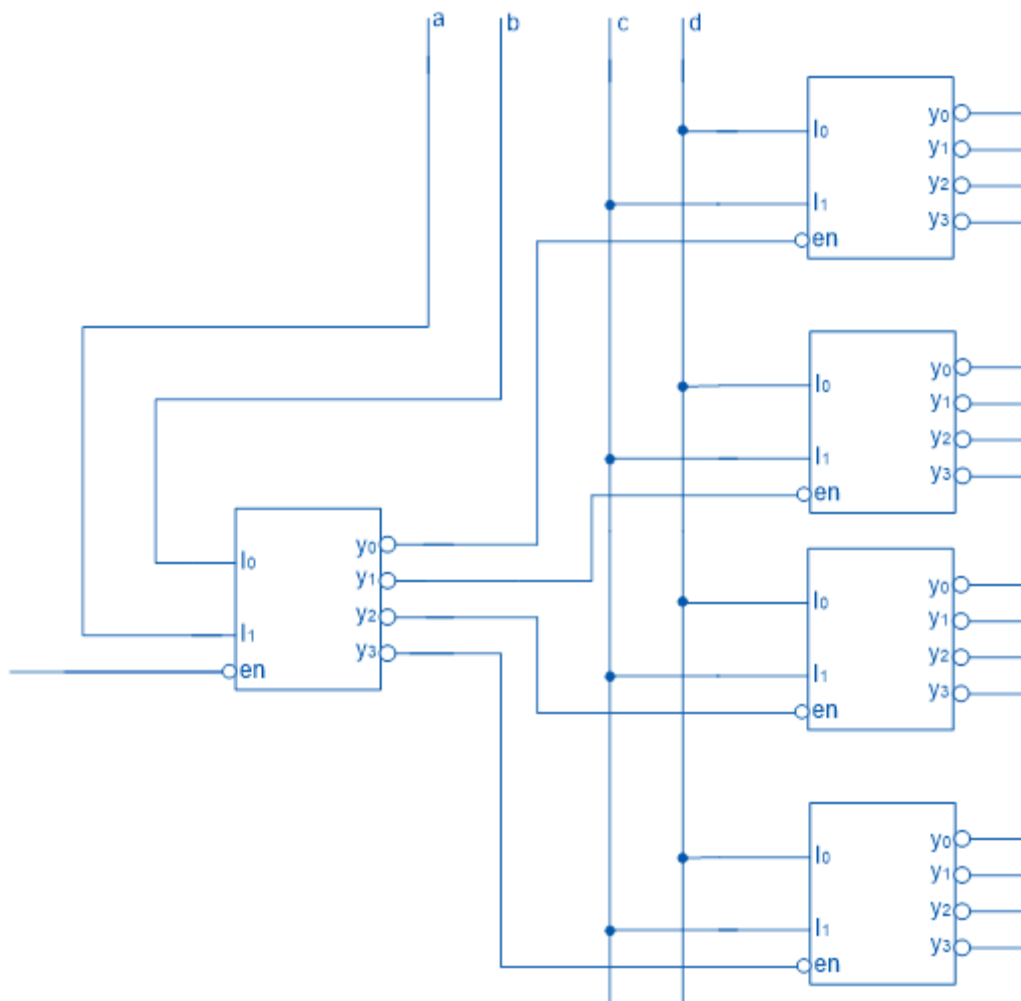


Inputs			Outputs			
EN	I1	I0	Y3	Y2	Y1	Y0
0	x	x	0	0	0	0
1	0	0	0	0	0	1
1	0	1	0	0	1	0
1	1	0	0	1	0	0
1	1	1	1	0	0	0



## Decoder Cascading (فرآیند رمزگشایی آبشاری)

با استفاده از اتصال درختی تعدادی رمزگشای  $n$  به  $2^n$  می توان بیشتر از  $n$  خط را رمزگشایی نمود.

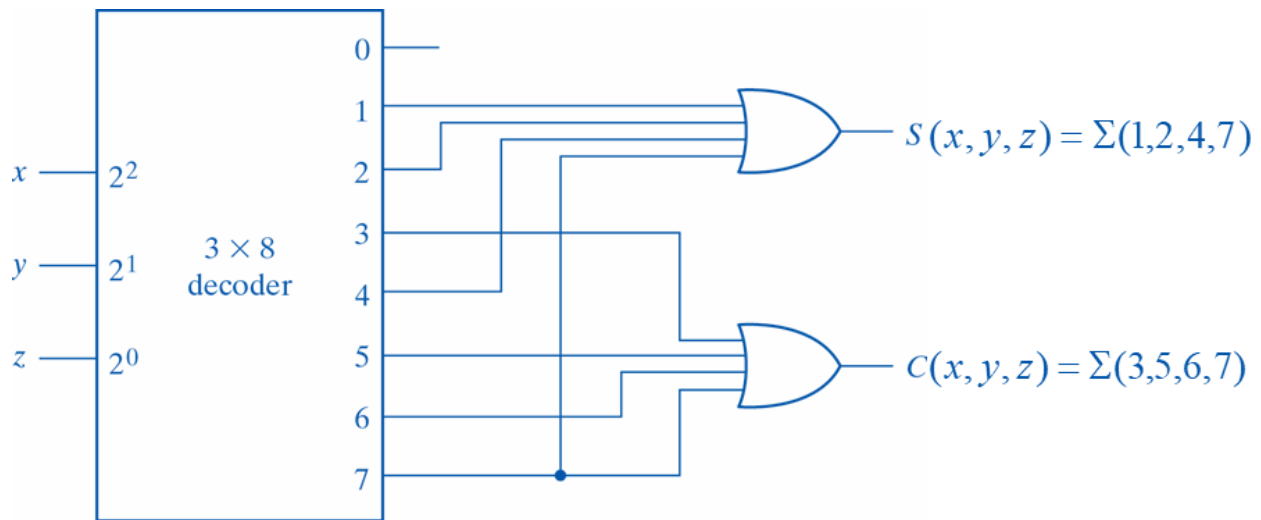


ساخت تمام جمع کننده با دکودر:

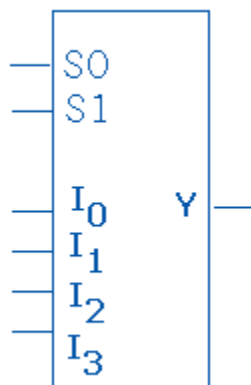
این مدار با سه ورودی دارای روابطی بصورت زیر است:

$$S(x,y,z) = \sum(1,2,4,7)$$

$$C(x,y,z) = \sum(3,5,6,7)$$

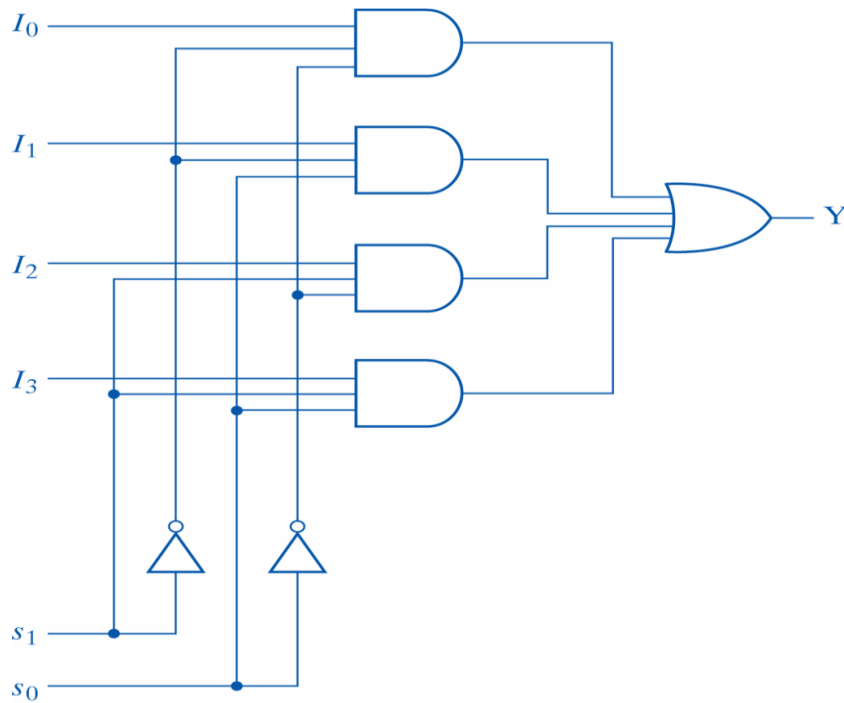


مدار داخلی یک تسهیم کننده یا مالتی پلکسر ۴ در ۱:



جدول عملکرد

$s_1$	$s_0$	$Y$
0	0	$I_0$
0	1	$I_1$
1	0	$I_2$
1	1	$I_3$



در این مالتی پلکسر توجه به این نکات حائز اهمیت است:

یک خروجی با نام  $Y$

۴ خط ورودی  $I_0$  تا  $I_3$

جدول ارزش ۶۴ سطری

۲ خط انتخاب  $S_0$  و  $S_1$

جدول عملکرد ۴ سطری

پایان جلسه دوم

موفق باشید

